



PATENT  
0465-1111P

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: Byeong Chan SEO et al. Conf.: 3191  
Appl. No.: 10/725,545 Group: 2631  
Filed: December 3, 2003 Examiner: UNKNOWN  
For: MPEG VIDEO DECODING SYSTEM

L E T T E R

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

April 27, 2004

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

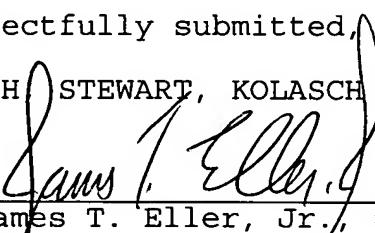
<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
KOREA	10-2002-0076652	December 4, 2002

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH STEWART, KOLASCH & BIRCH, LLP

By   
James T. Eller, Jr., #39,538

P.O. Box 747  
Falls Church, VA 22040-0747  
(703) 205-8000

JTE/slb  
0465-1111P

Attachment(s)

(Rev. 02/12/2004)

USSN 10/725,545 OF SEO et al.  
FILED: 12/03/03  
ATTY DKT # 0465-1111P  
BIRCH, STEWART, KOLASCH + BIRCH  
(703) 205-8000



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2002-0076652  
Application Number

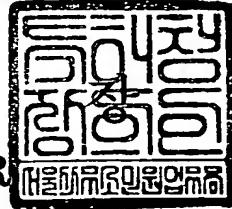
출 원 년 월 일 : 2002년 12월 04일  
Date of Application

출 원 인 : 엘지전자 주식회사  
Applicant(s) LG Electronics Inc.



2004 년 03 월 16 일

특 허 청  
COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.12.04
【국제특허분류】	H04N
【발명의 명칭】	디지털 비디오 포맷을 지원하는 엠펙 비디오 디코딩 시스템
【발명의 영문명칭】	MPEG video decoding system with DV format function
【출원인】	
【명칭】	엘지전자 주식회사
【출원인코드】	1-2002-012840-3
【대리인】	
【성명】	김용인
【대리인코드】	9-1998-000022-1
【포괄위임등록번호】	2002-027000-4
【대리인】	
【성명】	심창섭
【대리인코드】	9-1998-000279-9
【포괄위임등록번호】	2002-027001-1
【발명자】	
【성명의 국문표기】	김용태
【성명의 영문표기】	KIM,Eung Tae
【주민등록번호】	690315-1173221
【우편번호】	440-200
【주소】	경기도 수원시 장안구 조원동 881 한일타운아파트 118동 2004호
【국적】	KR
【발명자】	
【성명의 국문표기】	서병찬
【성명의 영문표기】	SEO,Byeong Chan
【주민등록번호】	711107-1057119

1020020076652

출력 일자: 2004/3/17

【우편번호】	150-072		
【주소】	서울특별시 영등포구 대림2동 1078번지 4호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 김용인 (인) 대리인 심창섭 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	11	면	11,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	11	항	461,000 원
【합계】	501,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

**【요약서】****【요약】**

본 발명은 디지털 캠코더를 통해 전송되는 고화질의 DV 포맷과 HD급 MPEG-2 비디오 신호들의 디코딩을 함께 지원하는 MPEG 비디오 디코딩 시스템에 관한 것으로서, 특히 MPEG 비디오 디코딩 시스템 내의 하나의 비디오 디코더 내의 일부 블록들을 공유하여 HD급 MPEG 시퀀스와 DV 시퀀스를 모두 디코딩하고 디스플레이할 수 있도록 함으로써, 튜너로 들어오는 DTV 입력 영상들뿐만 아니라 IEEE-1394 인터페이스로 들어오는 DV 입력 영상이 한 개의 비디오 디코더 내에서 디코딩 및 디스플레이가 매우 용이해진다. 이로 인해 메모리 용량의 감소, 칩 사이즈 감소에 따른 코스트 다운 효과를 얻을 수 있게 된다.

**【대표도】**

도 3

**【색인어】**

DV/MPEG 겸용 비디오 디코더, IDCT

### 【명세서】

#### 【발명의 명칭】

디지털 비디오 포맷을 지원하는 엠펙 비디오 디코딩 시스템{MPEG video decoding system with DV format function}

#### 【도면의 간단한 설명】

도 1은 기존의 MPEG 비디오 디코딩 시스템의 구성 블록도

도 2는 본 발명에 따른 디지털 비디오(DV) 포맷을 지원하는 비디오 디코딩 시스템의 구성 블록도

도 3은 도 2의 DV/MPEG 겸용 비디오 디코더의 상세 블록도

도 4a는 일반적인 DV 525-60 시스템의 매크로블록 타입의 예를 보인 도면

도 4b는 일반적인 DV 625-50 시스템의 매크로블록 타입의 예를 보인 도면

도 5는 일반적인 DV 525-60 시스템의 프레임 구성 예를 보인 도면

도 6a는 외부 메모리에 저장되는 DV 525-60 시스템의 4:1:1 샘플링 구조를 보인 도면

도 6b는 외부 메모리에 저장되는 DV 625-50 시스템의 4:2:0 샘플링 구조를 보인 도면

도 7은 도 2의 포맷 변환부의 상세 블록도

도면의 주요부분에 대한 부호의 설명

200 : MPEG 비디오 디코딩 시스템 201 : IEEE-1394 수신 인터페이스

202 : DV 시스템 디코더 203 : MPEG 시스템 디코더

204 : DV/MPEG 겸용 비디오 디코더

205 : DV/MPEG 겸용 오디오 디코더

206 : 포맷 변환부 301,304 : 버퍼

302 : VLD부 303 : IQ부

305 : IDCT부 305a : 수평 8x1 IDCT

305b : 트랜스버스 버퍼 305c : 스위칭부

305d : 수직 8x1 IDCT 305e : 수직 4x1 IDCT

306 : 가산기 307 : 움직임 보상부

308 : 픽처 제어부 309 : 디셔플부

### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<22> 본 발명은 디지털 텔레비전 또는, 디지털 화상회의 시스템 응용분야에 적용하는 MPEG(Moving Picture Experts Group)-2 비디오 디코딩 시스템에 관한 것으로서, 특히 디지털 캠코더를 통해 전송되는 고화질의 DV(Digital Video) 포맷과 HD(High Definition)급 MPEG-2 비디오 신호들을 함께 지원하는 MPEG 비디오 디코딩 시스템에 관한 것이다.

<23> 상기된 DV 포맷은 International standard CEI/IEC 61834-2, Recording - Helical-scan digital video cassette recording system using 6.35mm magnetic tape for consumer use 1998년 8월(525-60, 625-50, 1125-60 and 1250-50 systems) - Part 2 : SD format for 525-60 and 625-50 systems에 개시되어 있다.

<24> 일반적인 MPEG-2 비디오 디코딩 시스템은 도 1과 같이 MPEG 시스템 디코더(101), 비디오 디코더(102), 비디오 디스플레이 처리부(Video Display Processor ; VDP)(103), 오디오 디코

더(104), 메모리 인터페이스(I/F)(105), 및 호스트 인터페이스(I/F)(106)등으로 구성되어져 있다. 또한 메모리 인터페이스(105)에는 입력 비트스트림(bitstream)과 움직임 보상을 위한 프레임 버퍼(frame-buffer)들을 저장하기 위해 외부 DRAM 메모리가 연결된다. 그리고, 도 1과 같은 MPEG-2 표준 규격안에서 MP@HL 모드를 지원하기 위해서는 약 10Mbit의 비트-버퍼 사이즈가 요구되며, 최대 허용 비트-레이트가 약 80Mbit/s에 이른다.

<25> 한편, 도 1과 같은 MPEG 비디오 디코딩 시스템을 적용하는 디지털 TV(DTV)들은 현재까지는 주로 PIP(picture in picture) 기능에 대한 다양한 기능들을 지원하고 있으며, 예를 들면 DTV+NTSC나 DTV+PC 외부 입력 등의 형태로 제한되어져 있다.

<26> 최근에 하이-엔드(high-end) DTV에서는 IEEE-1394 인터페이스 장치를 두어서 고속(high speed)으로 데이터 송/수신을 하는 제품도 생기는 추세이다. 그 응용 제품으로는 IEEE-1394를 통해 디지털 캠코더(digital camcorder)와 연결된 제품을 출시하고 있다. 이는 현재의 아날로그식 인터페이스를 이용하여 일반 TV와 디지털 캠코더를 연결하는 방식의 화질 저하를 개선하여, 디지털 TV와 디지털 캠코더간에 디지털 형식으로 데이터를 송/수신하므로 훨씬 좋은 화질을 볼 수 있는 효과가 생긴다.

#### 【발명이 이루고자 하는 기술적 과제】

<27> 기존의 하이-엔드 디지털 TV는 IEEE-1394 송/수신기, 디지털 캠코더에 녹화되는 표준 포맷으로 DV 포맷 디코더, MPEG-2 비디오 디코더로 구성되어진 칩들을 사용하여야만 한다. 즉, 기존의 비디오 디코딩 칩의 경우 MPEG 비디오와 DV 포맷을 위해서는 각각의 MPEG-2 비디오 디코더와 DV 디코더를 가지고 있으므로, 이런 경우 게이트 사이즈(gate size), 및 메모리의 증가 그리고, 칩 코스트의 증가로 인한 가격 상승이 문제가 된다.

<28> 결국 메모리의 한계성, 칩 사이즈, 및 데이터 버스의 밴드폭(bandwidth)을 고려하여 HD급 비디오 신호 디코더와 DV 포맷 디코더를 같이 지원할 수 있는 효율적인 비디오 디코딩 칩 개발이 필요하다.

<29> 본 발명은 하나의 비디오 디코더가 SD급 DV 포맷 신호와 HD급 MPEG-2 시퀀스를 모두 디코딩할 수 있도록 하는 DV 포맷을 지원하는 MPEG 비디오 디코딩 시스템을 제공하는데 그 목적이 있다.

#### 【발명의 구성 및 작용】

<30> 상기와 같은 목적을 달성하기 위한 본 발명에 따른 DV 포맷을 지원하는 MPEG 비디오 디코딩 시스템은, 튜너를 통해 입력되는 MPEG 비트스트림을 비디오 비트스트림과 오디오 비트스트림으로 분리하는 MPEG 시스템 디코더와, IEEE-1394 인터페이스를 통해 입력되는 DV 포맷의 신호를 DIF 신호 형태로 변환한 후 비디오 DIF와 오디오 DIF로 분리하는 DV 시스템 디코더와, 내부의 다수개의 블록들을 공유하여 상기 MPEG 시스템 디코더에서 출력되는 MPEG 비디오 신호와 상기 DV 시스템 디코더에서 출력되는 비디오 DIF 신호를 모두 비디오 디코딩하도록 구성되며, 디코딩된 데이터를 상기 외부 메모리에 저장하는 단일 DV/MPEG 겸용 비디오 디코더와, 상기 DV/MPEG 겸용 비디오 디코더에서 비디오 디코딩된 후 상기 외부 메모리를 통해 출력되는 색차 신호에 대한 포맷 변환을 수행하는 포맷 변환부를 포함하여 구성되는 것을 특징으로 한다.

<31> 상기 DV/MPEG 겸용 비디오 디코더는 상기 MPEG 시스템 디코더와 DV 시스템 디코더 중 어느 하나에서 출력되는 비디오 신호를 일시 저장하는 버퍼와, 상기 버퍼에서 출력되는 비디오 신호를 가변 길이 디코딩한 후 역양자화하는 VLD/IQ부와, 상기 VLD/IQ부에서 역양자화된 신호가 MPEG 포맷 또는, 625-50 DV 포맷이면 8x8 IDCT를 수행하고, 525-60 DV 포맷이면 DCT 타입에 따라 8x8 IDCT 또는, 4x8 IDCT를 수행하는 IDCT부와, 상기 IDCT부에서 출력되는 신호가 MPEG

포맷이면서 I-픽처이거나 또는, DV 포맷이면 그대로 바이패스하여 외부 메모리에 저장하고, MPEG 포맷이면서 P-픽처이거나 B-픽처이면 상기 IDCT된 신호와 움직임 보상된 신호를 더하여 외부 메모리에 저장하는 가산기와, 상기 IDCT부에서 출력되는 신호가 MPEG 포맷이면서 P-픽처이거나 B-픽처이면 움직임 정보와 상기 외부 메모리에 저장된 이전 프레임 정보를 이용하여 움직임 보상을 수행한 후 상기 가산기로 출력하는 움직임 보상부로 구성되는 것을 특징으로 한다.

<32> 상기 IDCT부는 역양자화된 비디오 신호를 수평 방향으로 8x1 IDCT하는 수평 8x1 IDCT부와, 상기 수평 방향으로 IDCT된 신호를 수평-수직 전치하는 트랜스버스 버퍼와, 입력되는 신호의 포맷 타입에 따라 트랜스버스 버퍼에서 출력되는 신호의 출력 경로를 제어하는 스위칭부와, 상기 스위칭부를 통해 출력되는 신호를 수직 방향으로 8x1 IDCT하는 수직 8x1 IDCT부와, 상기 스위칭부를 통해 출력되는 신호를 수직 방향으로 4x1 IDCT하는 수직 4x1 IDCT부로 구성되는 것을 특징으로 한다.

<33> 상기 스위칭부는 입력되는 신호가 MPEG 포맷이거나, 625-50 DV 포맷 또는, 525-60 포맷이면서 수직 방향으로 프레임 DCT이면 출력단이 상기 수직 8x1 IDCT부로 스위칭되어 상기 트랜스버스 버퍼에서 출력되는 신호를 상기 수직 8x1 IDCT부로 출력하고, 입력되는 신호가 525-60 포맷이면서 수직 방향으로 필드 DCT이면 출력단이 상기 수직 4x1 IDCT부로 스위칭되어 상기 트랜스버스 버퍼에서 출력되는 신호를 상기 수직 4x1 IDCT부로 출력하는 것을 특징으로 한다.

<34> 상기 포맷 변환부는 상기 DV/MPEG 겸용 비디오 디코더에서 비디오 디코딩된 신호가 MPEG 포맷이거나 625-50 DV 포맷이면 비디오 디코딩된 4:2:0 색차 신호를 4:2:2 색차 신호로 포맷 변환하고, 525-60 DV 포맷이면 비디오 디코딩된 4:1:1 색차 신호를 4:2:2 색차 신호로 포맷 변환하는 것을 특징으로 한다.

- <35> 본 발명은 비디오 디코딩된 신호가 525-60 DV 포맷인 경우, 다수개의 매크로 블록의 집합인 수퍼 블록 단위로 비디오 디코딩된 신호가 출력되며, 원래 화면의 재구성을 위해 상기 비디오 디코딩된 신호에 대해 디셔플링을 수행하여 상기 외부 메모리에 저장하는 디셔플부가 상기 메모리 인터페이스에 더 구비되는 것을 특징으로 한다.
- <36> 본 발명의 다른 목적, 특징 및 잇점들은 첨부한 도면을 참조한 실시예들의 상세한 설명을 통해 명백해질 것이다.
- <37> 이하, 첨부된 도면을 참조하여 본 발명의 실시예의 구성과 그 작용을 설명하며, 도면에 도시되고 또 이것에 의해서 설명되는 본 발명의 구성과 작용은 적어도 하나의 실시예로서 설명되는 것이며, 이것에 의해서 상기한 본 발명의 기술적 사상과 그 핵심 구성 및 작용이 제한되지 않는 않는다.
- <38> 도 2는 본 발명에 따른 DV 포맷을 지원하는 비디오 디코딩 시스템의 구성 블록도로서, 하나의 비디오 디코더(204) 내에서 SD급 DV 영상 신호와 HD급 MPEG 비디오 영상 신호를 모두 디코딩하도록 하고 있다.
- <39> 즉, 도 2를 보면 하나의 MPEG 비디오 디코딩 칩 내에 DV 신호를 입력받아 DIF 신호로 변환하는 IEEE-1394 수신 인터페이스(201), 상기 IEEE-1394 수신 인터페이스(201)에서 출력되는 DIF 신호를 비디오 DIF와 오디오 DIF로 분리하는 DV 시스템 디코더(202), RF 트랜스포트 비트 스트림을 입력받아 비디오 PES와 오디오 PES로 분리하는 MPEG 시스템 디코더(203), 상기 DV 시스템 디코더(202)에서 출력되는 비디오 DIF 또는, 상기 MPEG 시스템 디코더(203)에서 출력되는 비디오 PES를 입력받아 비디오 디코딩하는 DV/MPEG 겸용 비디오 디코더(204), 상기 DV 시스템 디코더(202)에서 출력되는 오디오 DIF 또는, 상기 MPEG 시스템 디코더(203)에서 출력되는 오디오 PES를 입력받아 오디오 디코딩하는 DV/MPEG 겸용 오디오 디코더(205), 상기 DV/MPEG 겸용

비디오 디코더(204)에서 디코딩되어 출력되는 비디오 신호의 포맷 변환등을 수행하는 포맷 변환부(206), 호스트 인터페이스(207), 및 메모리 인터페이스(208)로 구성된다.

<40> 여기서, 상기 MPEG 비디오 디코딩 시스템(200)은 하나의 칩으로 구성할 수 있으며, 이 칩(200)에는 두 개의 입력 경로가 존재하는데, 그 중 하나는 TV 튜너, 및 복조기를 거쳐 MPEG 시스템 디코더(203)로 입력되는 트랜스포트(Transport ; TS) 비트스트림 신호 경로이고, 다른 하나는 IEEE-1394 포트를 통해 IEEE-1394 수신 인터페이스(201)로 입력되는 IEEE-1394 신호 즉, DV 신호 경로이다.

<41> 상기 MPEG 시스템 디코더(203)는 입력되는 TS 비트스트림으로부터 비디오 비트스트림과 오디오 비트스트림을 분리하여 비디오 비트스트림은 DV/MPEG 겸용 비디오 디코더(204)로 출력하고, 오디오 비트스트림은 DV/MPEG 겸용 오디오 디코더(205)로 출력한다. 여기서, 상기 MPEG 시스템 디코더(203)로 입력되는 TS 비트스트림은 요소 스트림(Elementary Stream ; ES)이고, 상기 MPEG 시스템 디코더(203)에서 출력되는 비디오 비트 스트림과 오디오 비트 스트림은 패킷화된 요소 스트림(Packetized Elementary Stream ; PES)이다.

<42> 상기 IEEE-1394 수신 인터페이스(201)는 입력되는 DV 신호를 DIF(Digital Interface Format) 형태로 변환하여 DV 시스템 디코더(202)로 출력하고, 상기 DV 시스템 디코더(202)는 입력되는 DIF 신호로부터 비디오 DIF와 오디오 DIF를 분리하여 비디오 DIF 신호는 DV/MPEG 겸용 비디오 디코더(204)로 출력하고, 오디오 DIF 신호는 DV/MPEG 겸용 오디오 디코더(205)로 출력한다.

<43> 상기 DV/MPEG 겸용 비디오 디코더(204)는 내부의 다수의 블록들을 공유하여 비디오 PES 또는, 비디오 DIF 신호를 입력받아 디코딩을 수행한다.

<44> 도 3은 상기 DV/MPEG 겸용 비디오 디코더(204)의 상세 블록도로서, 버퍼(301), 가변 길이 디코딩부(Variabe Length Decoder ; VLD)(302), 역양자화부(Inverse Quantizer ; IQ)(303), 버퍼(304), 역이산 코사인 변환(Inverse Discrete Cosine Transform ; IDCT)부(305), 가산기(306), 움직임 보상(Motion Compensation ; MC)부(307), 및 픽쳐 제어부(Picture Controller)(308)를 포함하여 구성된다. 이때 메모리 인터페이스(208)에는 DV 포맷 영상을 위한 디셔플부(De-shuffler)(309)가 구비된다.

<45> 도 3을 보면, 버퍼(301)를 효율적으로 공유하여 버퍼 사이즈를 감소시킬 뿐만 아니라, 기존 MPEG 비디오 디코더의 VLD부(302), IQ부(303), IDCT부(305), 픽쳐 제어부(308), 및 메모리 인터페이스(208)를 공유하거나 적은 게이트를 추가함으로써 많은 게이트 사이즈의 감소를 얻을 수 있다.

<46> 여기서, 상기 IDCT부(305)는 수평 8x1 IDCT(305a), 트랜스버스(transverse) 버퍼(305b), 스위칭부(305c), 수직 8x1 IDCT(305d), 및 수직 4x1 IDCT(305e)로 구성되며, 이때 상기 스위칭부(305c), 수직 4x1 IDCT(305e), 및 디셔플부(309)는 DV 525-60 포맷을 위해 구성되었다.

<47> 상기 DV 포맷은 도 4a와 같은 525-60 시스템 DV 포맷과 도 4b와 같은 625-50 시스템 DV 포맷으로 구분된다.

<48> 즉, DV 포맷도 샘플된 비디오 데이터는 매크로 블록 단위로 처리되는데, 상기 매크로 블록이 상기 525-60 DV 포맷의 경우 도 4a와 같이 4개의 수평 방향으로 인접한 흑도 블록과 2개의 색차(Cb,Cr) 블록으로 이루어진다. 이에 반해, 625-50 DV 포맷은 도 4b와 같이 수평과 수직 방향으로 이웃하는 4개의 흑도 블록과 2개의 색차(Cb,Cr) 블록으로 이루어진다. 상기 625-50 DV 포맷은 MPEG 비디오 포맷과 거의 유사하다.

<49> 따라서, 상기 IDCT부(305)의 수평 8x1 IDCT(305a), 트랜스버스 버퍼(305b), 스위칭부(305c), 수직 8x1 IDCT(305d), 및 수직 4x1 IDCT(305e)는 상기 525-60 DV 포맷의 매크로 블록에서 필드 DCT에 대한 4x8 IDCT와 프레임 DCT에 대한 8x8 IDCT를 모두 지원하기 위해 필요하다.

<50> 즉, 버퍼(304)에서 출력되는 신호가 MPEG 비디오 신호이거나, 또는 625-50 DV 포맷이면 수평 IDCT(305a)에서 수평 방향으로 8x1 IDCT된 결과가 트랜스버스 버퍼(305b)에서 수평-수직 전치가 된 후 스위칭부(305c)를 통해 수직 8x1 IDCT(305d)로 입력되어 수직 방향으로 8x1 IDCT된다. 한편, 상기 버퍼(304)에서 출력되는 신호가 525-60 DV 포맷이면 수직 방향으로 필드 DCT인지, 프레임 DCT인지에 따라 수직 IDCT가 결정된다. 예를 들어, 수직 방향으로 필드 DCT이면 스위칭부(305c)의 스위칭에 의해 상기 트랜스버스 버퍼(305b)의 출력은 수직 4x1 IDCT(305e)로 출력되어 수직 방향으로 4x1 IDCT되고, 프레임 DCT이면 수직 8x1 IDCT(305d)로 출력되어 수직 방향으로 8x1 IDCT된다.

<51> 이와 같이 구성된 도 3을 좀 더 상세히 살펴보면, 상기 MPEG 시스템 디코더(203)에서 출력되는 비디오 PES 신호는 DV/MPEG 겸용 비디오 디코더(204)의 버퍼(301)를 통해 VLD부(302)로 입력되어 가변길이 디코딩된 후 IQ부(303)로 입력되어 역양자화된다. 상기 IQ부(303)에서 역양자화된 MPEG 비디오 신호는 버퍼(304)를 통해 IDCT부(305)의 수평 8x1 IDCT(305a)로 출력되고, 상기 수평 8x1 IDCT(305a)는 역양자화된 MPEG 비디오 신호를 수평 방향으로 8x1 IDCT한 후 트랜스버스 버퍼(305b)에서 수평-수직 전치하여 스위칭부(305c)로 출력한다. 상기 스위칭부(305c)는 상기 픽처 제어부(308)의 제어에 의해 수직 8x1 IDCT(305d)로 스위칭되고, 상기 트랜스버스 버퍼(305b)의 출력은 스위칭부(305c)를 통해 수직 8x1 IDCT(305d)로 입력되어 수직방향으로 8x1 IDCT된다. 상기 IDCT부(305)의 수직 8x1 IDCT부(305e)에서 출력되는 신호는 움직임

보상부(307)와 가산기(306)를 거쳐 외부 메모리에 저장된다. 즉, MPEG 비디오 신호는 MPEG-2 비디오 선택스에 맞게 8x8 블록 단위로 IDCT가 수행된다. 이때, 인트라-픽처(I-픽처)의 경우는 IQ/IDCT한 결과가 바로 외부 메모리에 저장되고, P-픽처나 B-픽처의 경우는 움직임 보상부(307)에서 움직임 정보와 외부 메모리에 저장된 이전 프레임 정보를 이용하여 움직임 보상된 블록과 IDCT부(305)에서 IDCT된 결과가 가산기(306)에서 더해진 후 외부 메모리에 저장되게 된다. 저장된 영상은 비디오 디스플레이 프로세서(VDP)를 거쳐 화면에 보여지게 된다.

<52> 한편, DV 시스템 디코더(202)에서 출력되는 비디오 DIF 신호도 DV/MPEG 겸용 비디오 디코더(204)의 버퍼(301)를 통해 VLD부(302)로 입력되어 가변 길이 디코딩되고, IQ부(303)에서 역양자화된 후 버퍼(304), IDCT부(305), 가산기(306), 및 메모리 인터페이스(208)를 순차적으로 거쳐 외부 메모리에 저장된다.

<53> 이때, 상기 DV 포맷은 정지 영상 즉, 인트라 프레임에 대한 정보만을 가지고 있으므로 MPEG의 인트라 픽처와 같이 움직임 보상부(307)가 필요 없다. 다만 DV 포맷에 대한 VLD와 IQ 방식이 MPEG 비디오와 다르므로 이에 대한 처리를 할 수 있도록 기존 VLD부와 IQ부의 보완이 필요하다. 예를 들어, 상기 VLD부와 IQ부는 MPEG 비디오 신호와 DV 신호에 대해 따로 구성할 수도 있고, 픽처 제어부(308)의 파라미터를 조정하여 공유할 수도 있다. 상기 픽처 제어부(308)는 비디오 디코딩에 필요한 제어 및 헤더 정보 예컨대, 타이밍이나 플래그, MPEG/DV 인식 신호등을 필요한 블록에 제공한다.

<54> 또한, 본 발명은 525-60 DV 포맷을 위해 IDCT부(305)에 스위칭부(305c)와 수직 4x1 IDCT(305e)를 더 구성하고, 메모리 인터페이스(208)에 디셔플부(309)를 더 구비하였다.

<55> 이는 도 4a에서 보는 바와 같이, DV 525-60 시스템의 매크로 블록에서 필드 DCT에 대한 4x8 IDCT와 프레임 DCT에 대한 8x8 IDCT를 모두 지원하기 위해서이다. 예를 들어, 상기 DV 시

스템 디코더(202)에서 출력되는 DV 신호가 525-60 DV 포맷이고, 수직 방향으로 필드 DCT이면 상기 IDCT부(305)의 수평 8x1 IDCT(305)에서 수평 방향으로 8x1 IDCT되고 트랜스버스 버퍼(302b)에서 수평-수직 전치된 신호는 스위칭부(305c)의 스위칭에 의해 수직 4x1 IDCT(305e)로 출력되어 수직 방향으로 4x1 IDCT되고, 프레임 DCT이면 수직 8x1 IDCT(305d)로 출력되어 수직 방향으로 8x1 IDCT된 후 가산기(306)를 통해 외부 메모리에 저장된다.

<56> 한편, 625-50 DV 포맷의 경우는 MPEG 비디오의 매크로 블록과 비슷하며, 8x8 IDCT만을 지원한다. 즉, IQ부(303)에서 출력되는 신호가 625-50 DV 포맷이면 수평 IDCT(305a)에서 수평 방향으로 8x1 IDCT된 결과가 트랜스버스 버퍼(305b)에서 수평-수직 전치가 된 후 스위칭부(305c)를 통해 수직 8x1 IDCT(305d)로 입력되어 수직 방향으로 8x1 IDCT된다.

<57> 도 5는 DV 525-60 시스템의 프레임 구성을 도시한 것이다. 도 5에서 보면, DV 포맷의 경우 27개의 이웃하는 매크로 블록을 모아서 만든 수퍼블록(super block) 단위로 전송되며, 전송되어 오는 수퍼 블록의 위치는 일정한 패턴으로 외부의 프레임 메모리 내에서 랜덤하게 위치한다. 즉, MPEG 비디오와 같이 전송되어 오는 매크로 블록들이 슬라이스 단위로 순차적으로 위치하지 않고, 도 5의 헤칭된 수퍼 블록과 같이 이웃되지 않게 전송되어지므로 원래 화면의 재구성을 위해 디셔플부(309)가 필요하게 된다.

<58> 본 발명에서 제안된 비디오 디코더의 경우 HD급 MPEG 비디오 디코더의 성능하에 SD급 DV 화면의 디코딩 성능은 충분하다.

<59> 도 6은 디셔플부(309)에 의해 외부 메모리에 저장된 프레임의 샘플링 구조를 나타낸다. 즉, 도 6a는 525-60 DV 포맷의 4:1:1 샘플링 구조를 나타낸다. 이는 수평 방향으로 인접하는 휘도(Y) 신호 4화소당 1개의 색차(Chrominance)(Cr, Cb) 신호가 존재함을 나타낸다. 도 6b는 625-50 DV 포맷의 4:2:0 샘플링 구조를 나타낸다. 이는 필드 단위로 수평, 수직방향으로 휘도

(Y) 신호 2화소당 1개의 색차(Cr, Cb) 신호가 존재함을 나타낸다. 도 6에서 보는 바와 같이 625-50 DV 포맷은 MPEG 비디오의 4:2:0 샘플링 구조와 일치함을 볼 수 있다. 이에 비해 525-60 DV 포맷의 경우는 4:1:1 샘플링 구조로 포맷 변환부(206)가 메모리에서 데이터를 읽어서 화면 처리를 할 경우, 별도의 처리 과정을 거쳐야 한다.

<60>      도 7은 상기 포맷 변환부(206)의 상세 구성 블록도의 일 예를 보인 것이다. 도 7은 설명의 편의를 위해 상기 포맷 변환부(206)가 상기 DV/MPEG 겸용 비디오 디코더(204)의 데이터를 입력받는 것으로 도시하였으나, 실제는 상기 DV/MPEG 겸용 비디오 디코더(204)에서 비디오 디코딩된 데이터는 메모리 인터페이스(208)를 통해 외부 메모리에 저장되며, 상기 포맷 변환부(206)는 비디오 디코딩되어 외부 메모리에 저장된 데이터를 메모리 인터페이스(208)를 통해 읽어와 포맷 변환을 수행한다.

<61>      도 7을 보면, 기존의 포맷 변환부 즉, 포맷 스케일러(Format scaler)(700)의 입력단에 색 변환(Color conversion)부(600)를 추가하여, 4:1:1 화소 구조를 갖는 DV 포맷에 대한 영상 처리를 기존의 포맷 변환부에서 처리가 가능하도록 한다.

<62>      즉, 메모리 인터페이스(208)를 통해 읽어 온 휘도 성분의 신호는 포맷 스케일러(700)로 바이패스되고, 색차 성분의 신호는 색 변환부(600)에서 4:2:2 색차 포맷으로 변환된 후 상기 포맷 스케일러(700)로 출력된다.

<63>      상기 색 변환부(600)는 디믹스(601), 제 1 색차 포맷 변환기(602), 및 제 2 색차 포맷 변환기(603)로 구성된다.

<64>      이때, 상기 색 변환부(601)의 디믹스(601)는 메모리 인터페이스(208)에서 읽어 온 신호가 색차 성분이면 비디오 디코더(204)의 픽처 제어부(308)에서 출력되는 MPEG/DV 타입 신호에

따라 읽어 온 색차 신호를 제 1, 제 2 색차 포맷 변환기(602,603) 중 어느 하나로 선택 출력한다. 예를 들어, MPEG/DV 타입이 MPEG 또는, DV625-50 타입이면 읽어 온 색차 신호를 제 1 색차 포맷 변환기(602)로 선택 출력하고, DV525-60 타입이면 읽어 온 색차 신호를 제 2 색차 포맷 변환기(603)로 선택 출력한다.

<65> 상기 제 1 색차 포맷 변환기(602)는 상기 디믹스(601)에서 출력되는 4:2:0 포맷의 색차 신호를 4:2:2 포맷의 색차 신호로 변환하여 상기 포맷 스케일러(700)로 출력하고, 제 2 색차 포맷 변환기(603)는 상기 디믹스(601)에서 출력되는 4:1:1 포맷의 색차 신호를 4:2:2 포맷의 색차 신호로 변환하여 상기 포맷 스케일러(700)로 출력한다. 상기 포맷 스케일러(700)는 상기 메모리 인터페이스(208)에서 읽어 온 휘도 신호와 상기 제 1 또는, 제 2 색차 포맷 변환기(602,603)에서 출력되는 색차 신호를 입력 받아 디스플레이 장치에 맞도록 화면비를 확대 또는 축소하고, OSD(On Screen Display) 처리를 수행한다.

<66> 이와 같이 본 발명은 디지털 비디오 전송분야의 표준안인 MPEG-2 디코더를 칩으로 구현함에 있어서, 칩 내의 하나의 비디오 디코더를 이용하여 HD급 MPEG 포맷과 디지털 캠코더 전송 분야의 표준안인 SD급 DV 포맷을 모두 디코딩하도록 할 수 있다.

### 【발명의 효과】

<67> 이상에서와 같이 본 발명에 따른 디지털 비디오 포맷을 지원하는 MPEG 비디오 디코딩 시스템에 의하면, 하나의 비디오 디코더 내의 일부 블록들을 공유하여 HD급 MPEG 시퀀스와 DV 시퀀스를 모두 디코딩하고 디스플레이할 수 있도록 함으로써, 튜너로 들어오는 DTV 입력 영상들 뿐만 아니라 IEEE-1394 인터페이스로 들어오는 DV 입력 영상이 한 개의 비디오 디코더 내에서 디코딩 및 디스플레이가 매우 용이해진다. 이러한 비디오 디코딩 방식은 기존 MPEG 비디오 디

코더와 DV 디코더를 각각 따로 쓰는 방식에 비해 메모리 용량의 감소, 칩 사이즈 감소에 따른 코스트 다운(cost down) 효과를 얻을 수 있게 된다.

<68> 특히, 본 발명은 디지털 TV나 셋톱 박스(Set-top-box)등의 응용 분야에 필수적인 원천 기술로서 디지털 캡코더를 지원하는 고성능 비디오 디코딩 칩 및 타 회사의 디지털 TV와의 기술 경쟁력 강화 등의 큰 효과를 얻을 수 있다.

<69> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 이탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다.

<70> 따라서, 본 발명의 기술적 범위는 실시예에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의하여 정해져야 한다.

**【특허청구범위】****【청구항 1】**

MPEG 비디오 신호를 디코딩하는 비디오 디코더와 상기 비디오 디코딩 과정에서 데이터를 저장하는 외부 메모리 사이의 데이터 입/출력을 제어하는 메모리 인터페이스를 포함한 MPEG 비디오 디코딩 시스템에 있어서,

튜너를 통해 입력되는 MPEG 비트스트림을 비디오 비트스트림과 오디오 비트스트림으로 분리하는 MPEG 시스템 디코더;

IEEE-1394 인터페이스를 통해 입력되는 디지털 비디오(DV) 포맷의 신호를 DIF 신호 형태로 변환한 후 비디오 DIF와 오디오 DIF로 분리하는 DV 시스템 디코더;

내부의 다수개의 블록들을 공유하여 상기 MPEG 시스템 디코더에서 출력되는 MPEG 비디오 신호와 상기 DV 시스템 디코더에서 출력되는 비디오 DIF 신호를 모두 비디오 디코딩하도록 구성되며, 디코딩된 데이터를 상기 외부 메모리에 저장하는 단일 DV/MPEG 겸용 비디오 디코더; 그리고

상기 DV/MPEG 겸용 비디오 디코더에서 비디오 디코딩된 후 상기 외부 메모리를 통해 출력되는 색차 신호에 대한 포맷 변환을 수행하는 포맷 변환부를 포함하여 구성되는 것으로 하는 DV 포맷을 지원하는 MPEG 비디오 디코딩 시스템.

**【청구항 2】**

제 1 항에 있어서, 상기 DV/MPEG 겸용 비디오 디코더는  
상기 MPEG 시스템 디코더와 DV 시스템 디코더 중 어느 하나에서 출력되는 비디오 신호를 일시 저장하는 버퍼;

상기 버퍼에서 출력되는 비디오 신호를 가변 길이 디코딩한 후 역양자화하는 VLD/IQ부;

상기 VLD/IQ부에서 역양자화된 신호가 MPEG 포맷 또는, 625-50 DV 포맷이면 8x8 IDCT를 수행하고, 525-60 DV 포맷이면 DCT 타입에 따라 8x8 IDCT 또는, 4x8 IDCT를 수행하는 IDCT부;

상기 IDCT부에서 출력되는 신호가 MPEG 포맷이면서 I-픽처이거나 또는, DV 포맷이면 그대로 바이패스하여 외부 메모리에 저장하고, MPEG 포맷이면서 P-픽처이거나 B-픽처이면 상기 IDCT된 신호와 움직임 보상된 신호를 더하여 외부 메모리에 저장하는 가산기; 그리고

상기 IDCT부에서 출력되는 신호가 MPEG 포맷이면서 P-픽처이거나 B-픽처이면 이전 프레임과 움직임 정보를 이용하여 움직임 보상을 수행한 후 상기 가산기로 출력하는 움직임 보상부로 구성되는 것을 특징으로 하는 DV 포맷을 지원하는 MPEG 비디오 디코딩 시스템.

### 【청구항 3】

제 2 항에 있어서, 상기 IDCT부는

역양자화된 비디오 신호를 수평 방향으로 8x1 IDCT하는 수평 8x1 IDCT부;

상기 수평 방향으로 IDCT된 신호를 수평-수직 전치하는 트랜스버스 버퍼;

입력되는 신호의 포맷 타입에 따라 트랜스버스 버퍼에서 출력되는 신호의 출력 경로를 제어하는 스위칭부;

상기 스위칭부를 통해 출력되는 신호를 수직 방향으로 8x1 IDCT하는 수직 8x1 IDCT부; 그리고

상기 스위칭부를 통해 출력되는 신호를 수직 방향으로 4x1 IDCT하는 수직 4x1 IDCT부로 구성되는 것을 특징으로 하는 DV 포맷을 지원하는 MPEG 비디오 디코딩 시스템.

**【청구항 4】**

제 3 항에 있어서, 상기 스위칭부는

입력되는 신호가 MPEG 포맷이거나, 625-50 DV 포맷 또는, 525-60 포맷이면서 수직 방향으로 프레임 DCT이면 출력단이 상기 수직 8x1 IDCT부로 스위칭되어 상기 트랜스버스 버퍼에서 출력되는 신호를 상기 수직 8x1 IDCT부로 출력하고, 입력되는 신호가 525-60 포맷이면서 수직 방향으로 필드 DCT이면 출력단이 상기 수직 4x1 IDCT부로 스위칭되어 상기 트랜스버스 버퍼에서 출력되는 신호를 상기 수직 4x1 IDCT부로 출력하는 것을 특징으로 하는 DV 포맷을 지원하는 MPEG 비디오 디코딩 시스템.

**【청구항 5】**

제 1 항에 있어서, 상기 포맷 변환부는

상기 DV/MPEG 겸용 비디오 디코더에서 비디오 디코딩된 신호가 MPEG 포맷이거나 625-50 DV 포맷이면 비디오 디코딩된 4:2:0 색차 신호를 4:2:2 색차 신호로 포맷 변환하고, 525-60 DV 포맷이면 비디오 디코딩된 4:1:1 색차 신호를 4:2:2 색차 신호로 포맷 변환하는 것을 특징으로 하는 DV 포맷을 지원하는 MPEG 비디오 디코딩 시스템.

**【청구항 6】**

제 1 항에 있어서,

비디오 디코딩된 신호가 525-60 DV 포맷인 경우, 다수개의 매크로 블록의 집합인 수퍼 블록 단위로 비디오 디코딩된 신호가 출력되며, 원래 화면의 재구성을 위해 상기 비디오 디코딩된 신호에 대해 디셔플링을 수행하여 상기 외부 메모리에 저장하는 디셔플부가 상기 메모리

인터페이스에 더 구비되는 것을 특징으로 하는 DV 포맷을 지원하는 MPEG 비디오 디코딩 시스템

### 【청구항 7】

MPEG 포맷의 비디오 신호 또는, 디지털 비디오(DV) 포맷의 비디오 신호가 입력되면 이를 일시 저장하는 버퍼;

상기 버퍼에서 출력되는 비디오 신호를 가변 길이 디코딩한 후 역양자화하는 VLD/IQ부;

상기 VLD/IQ부에서 역양자화된 신호의 포맷에 따라 8x8 IDCT와 4x8 IDCT를 선택적으로 수행하는 IDCT부;

상기 IDCT부에서 출력되는 신호가 MPEG 포맷이면서 I-픽처이거나 또는, DV 포맷이면 그 대로 바이패스하여 외부 메모리에 저장하고, MPEG 포맷이면서 P-픽처이거나 B-픽처이면 상기 IDCT된 신호와 움직임 보상된 신호를 더하여 외부 메모리에 저장하는 가산기; 그리고

상기 IDCT부에서 출력되는 신호가 MPEG 포맷이면서 P-픽처이거나 B-픽처이면 움직임 정보와 상기 외부 메모리에 저장된 이전 프레임을 이용하여 움직임 보상을 수행한 후 상기 가산기로 출력하는 움직임 보상부로 구성되는 것을 특징으로 하는 DV/MPEG 겸용 비디오 디코딩 시스템.

### 【청구항 8】

제 7 항에 있어서, 상기 IDCT부는

역양자화된 비디오 신호를 수평 방향으로 8x1 IDCT하는 수평 8x1 IDCT부;

상기 수평 방향으로 IDCT된 신호를 수평-수직 전치하는 트랜스버스 버퍼;

입력되는 신호가 MPEG 포맷인지, 625-50 DV 포맷인지, 525-60 DV 포맷이면서 수직 방향으로 프레임 DCT인지, 필드 DCT인지에 따라 트랜스버스 버퍼에서 출력되는 신호의 출력 경로를 제어하는 스위칭부;

상기 스위칭부를 통해 출력되는 신호를 수직 방향으로 8x1 IDCT하는 수직 8x1 IDCT부;  
그리고

상기 스위칭부를 통해 출력되는 신호를 수직 방향으로 4x1 IDCT하는 수직 4x1 IDCT부로 구성되는 것을 특징으로 하는 DV/MPEG 겸용 비디오 디코딩 시스템.

### 【청구항 9】

제 8 항에 있어서, 상기 스위칭부는

입력되는 신호가 MPEG 포맷이거나 625-50 DV 포맷 또는, 525-60 포맷이면서 수직 방향으로 프레임 DCT이면 출력단이 상기 8x1 IDCT부로 스위칭되어 상기 트랜스버스 버퍼에서 출력되는 신호를 상기 8x1 IDCT부로 출력하고, 입력되는 신호가 525-60 포맷이면서 수직 방향으로 필드 DCT이면 출력단이 상기 4x1 IDCT부로 스위칭되어 상기 트랜스버스 버퍼에서 출력되는 신호를 상기 4x1 IDCT부로 출력하는 것을 특징으로 하는 DV/MPEG 겸용 비디오 디코딩 시스템.

### 【청구항 10】

제 7 항에 있어서,

상기 비디오 디코딩된 신호가 MPEG 포맷이거나 625-50 DV 포맷이면 비디오 디코딩된 4:2:0 색차 신호를 4:2:2 색차 신호로 포맷 변환하고, 525-60 DV 포맷이면 비디오 디코딩된 4:1:1 색차 신호를 4:2:2 색차 신호로 포맷 변환하는 포맷 변환부를 더 구비하는 것을 특징으로 하는 DV/MPEG 겸용 비디오 디코딩 시스템.

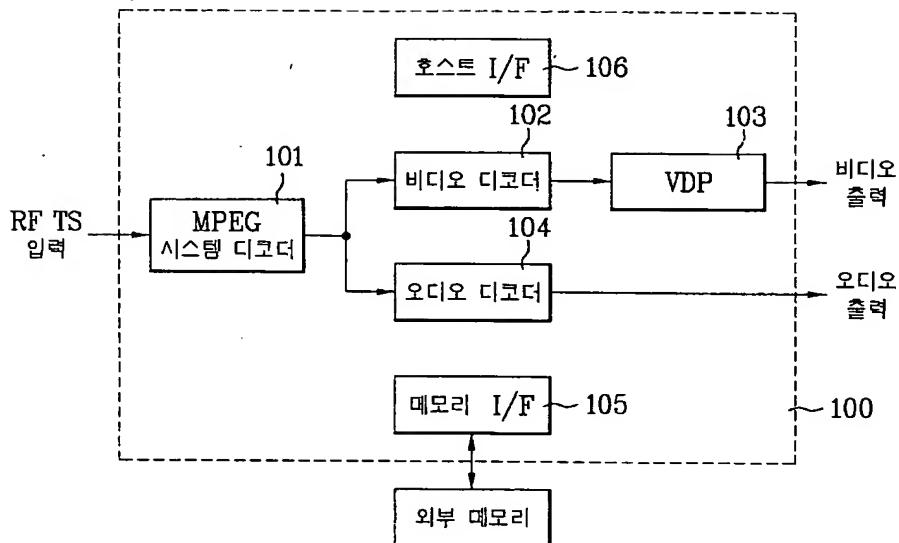
**【청구항 11】**

제 7 항에 있어서,

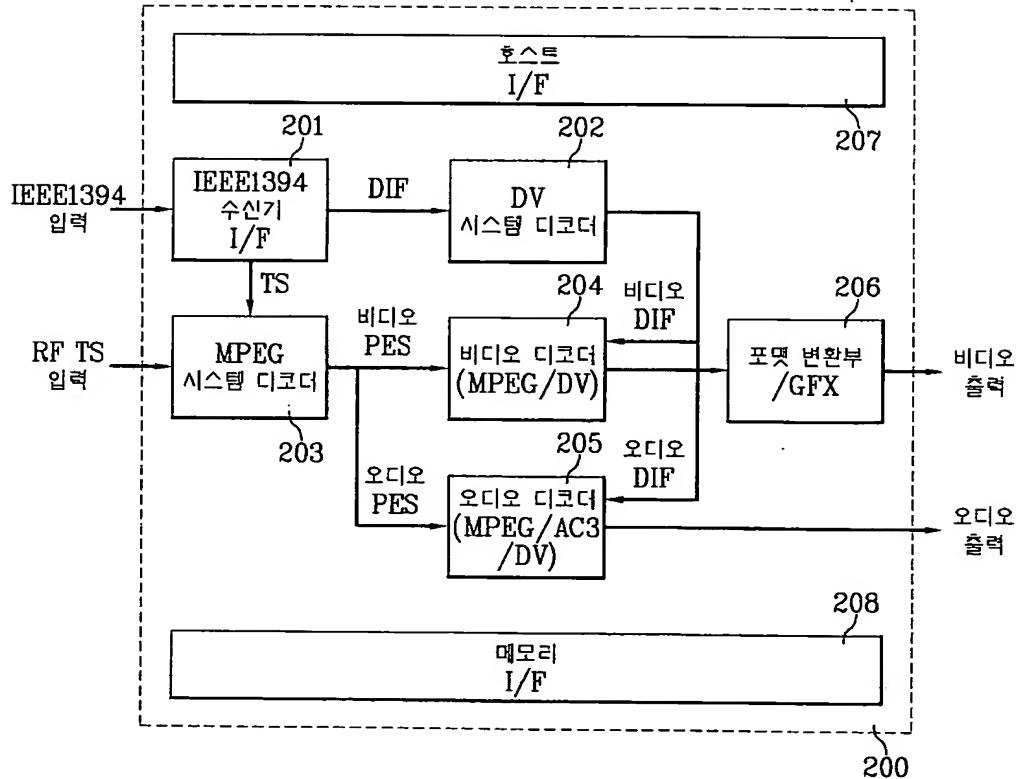
비디오 디코딩된 신호가 525-60 DV 포맷인 경우, 다수개의 매크로 블록의 집합인 수퍼 블록 단위로 비디오 디코딩된 신호가 출력되며, 원래 화면의 재구성을 위해 상기 비디오 디코딩된 신호에 대해 디셔플링을 수행하여 상기 외부 메모리에 저장하는 디셔플부를 더 구비하는 것을 특징으로 하는 DV/MPEG 겸용 비디오 디코딩 시스템.

## 【도면】

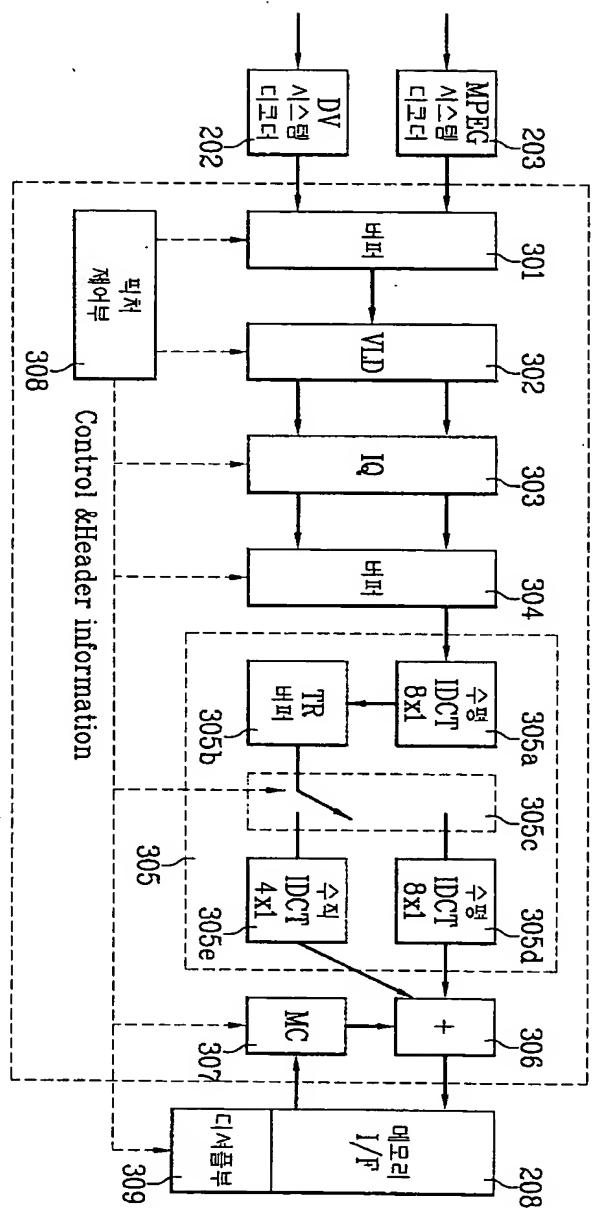
【도 1】



【도 2】



【도 3】

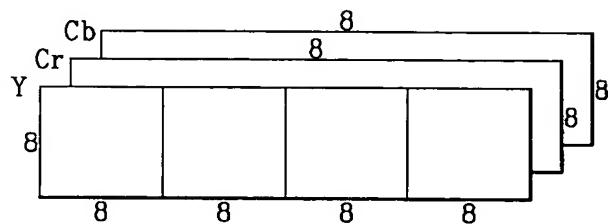


1020020076652

출력 일자: 2004/3/17

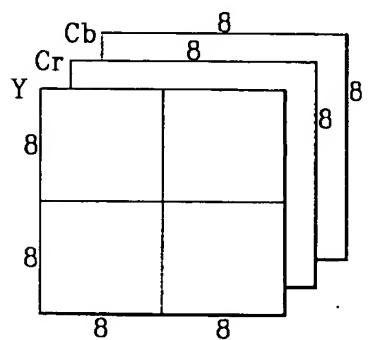
【도 4a】

525-60 system



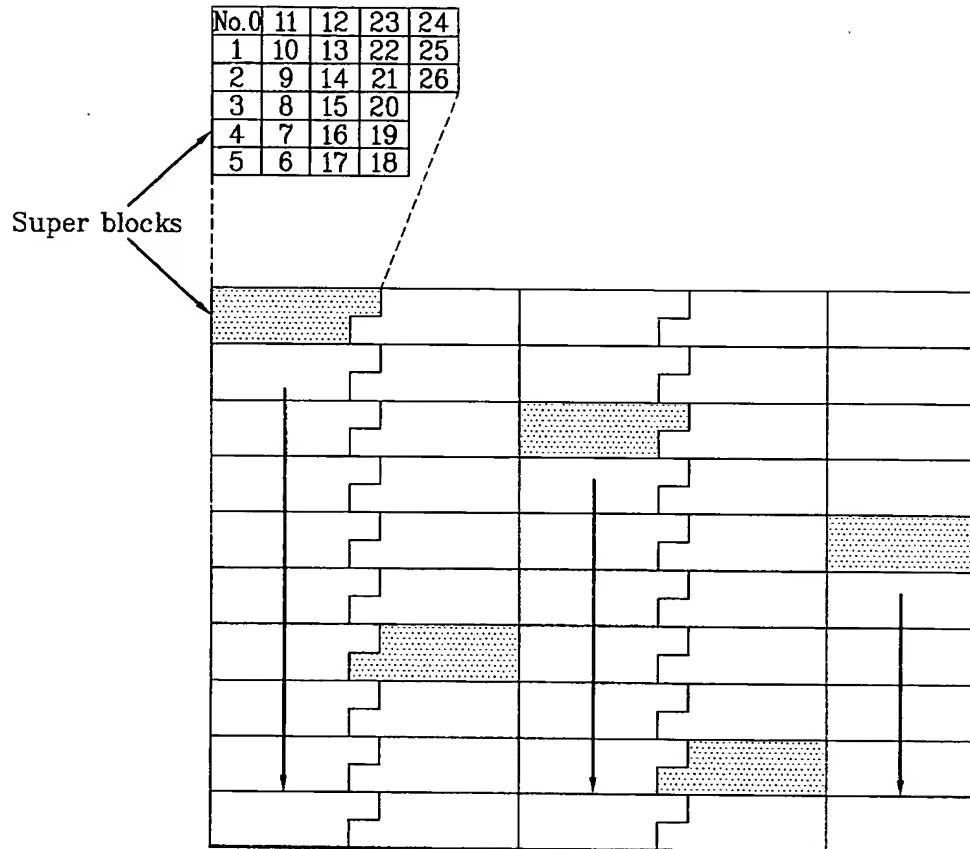
【도 4b】

625-50 system

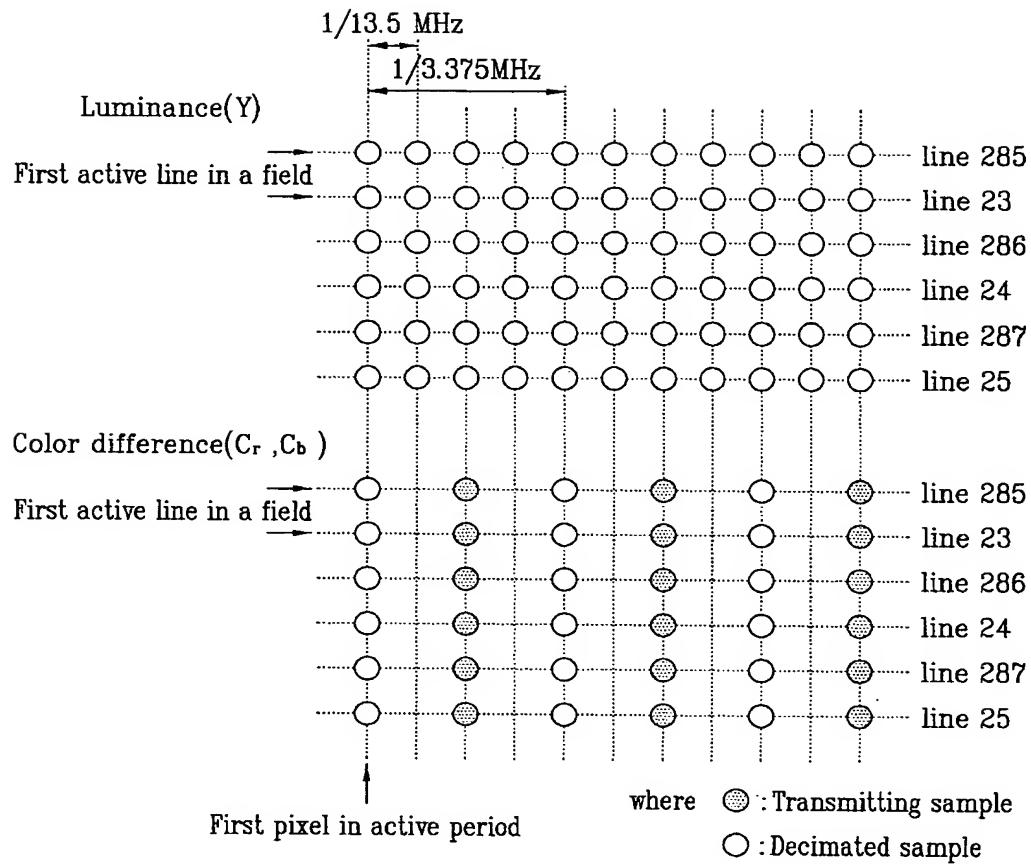


## 【도 5】

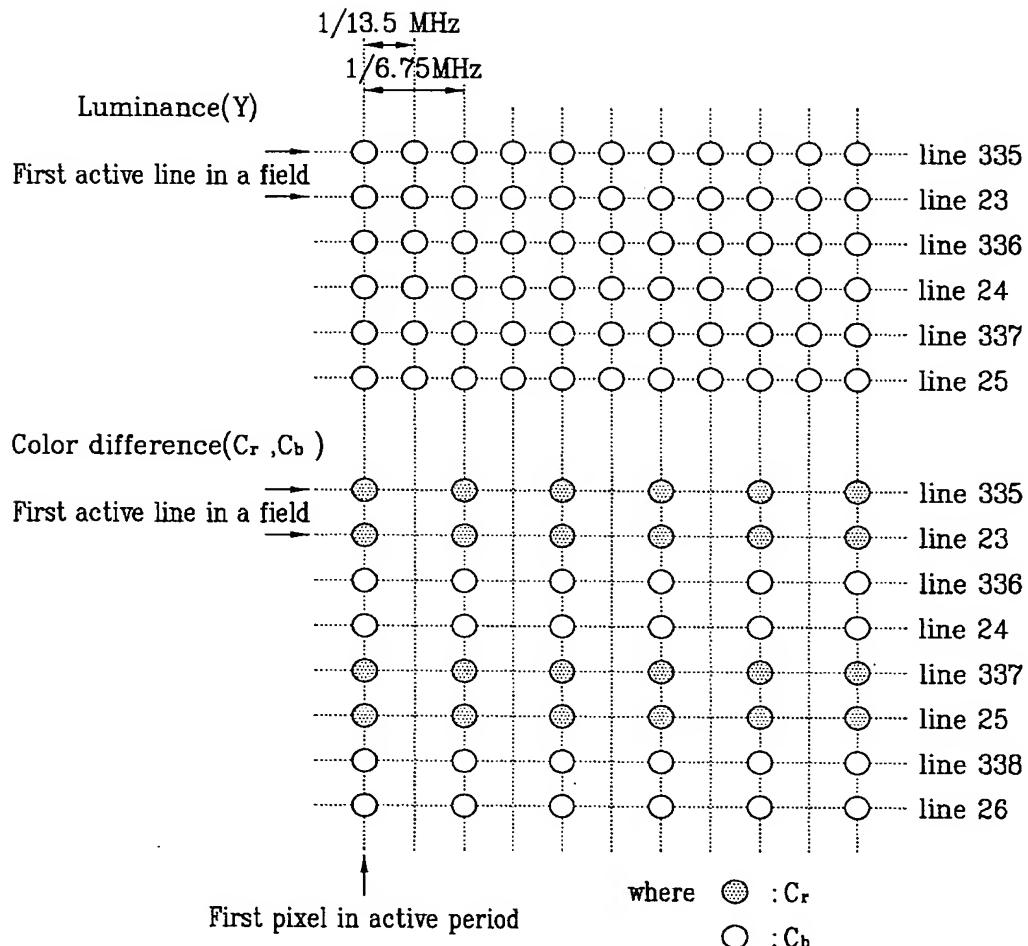
arrangement of macro blocks  
within super blocks



【도 6a】



【도 6b】



【도 7】

